

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-36387

(P2001-36387A)

(43)公開日 平成13年2月9日(2001.2.9)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 3 K	3/03	H 0 3 K	5 J 0 0 1
	5/13		5 J 0 4 3
H 0 3 L	7/099	H 0 3 L	F 5 J 1 0 6

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21)出願番号 特願平11-205692

(22)出願日 平成11年7月21日(1999.7.21)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 田中 久陽

東京都品川区東五反田3丁目14番13号 株式会社ソニーコンピュータサイエンス研究所内

(74)代理人 100094053

弁理士 佐藤 隆久

Fターム(参考) 5J001 BB05 BB12 BB14 BB20

5J043 AA21 LL01

5J106 AA04 CC01 CC21 CC41 DD32

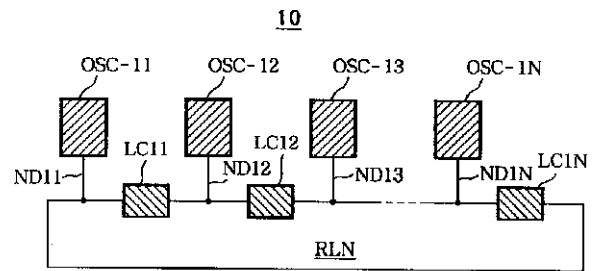
JJ01 KK05 LL01

(54)【発明の名称】 発振装置、それを用いた位相同期回路および時間量子化器

(57)【要約】

【課題】ゲート遅延より高い精度で位相差を制御でき、互いに任意に微小な位相差を持つ複数の信号を生成することができる発振装置を提供する。

【解決手段】環状をなすリング配線RLNと、リング配線RLNに接続されたノードND11~ND1Nを有し、発振位相がリング配線RLNにより伝播される電荷に依存する複数の発振回路OSC-11~OSC1Nと、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路OSC-11~OSC1Nのノード間を特定の一方向により多く電流が流れるように相互結合するリング配線RLNに設けられた複数の配線回路LC11~LC1Nとを設ける。



【特許請求の範囲】

【請求項 1】 環状をなすリング配線と、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、

特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記リング配線に設けられた複数の配線回路とを有する発振装置。

【請求項 2】 上記発振回路は、環状に対称な位置に配置されている請求項 1 記載の発振装置。

【請求項 3】 互いに隣接する発振回路の発振位相を逆相に初期設定可能な手段を有する請求項 1 記載の発振装置。

【請求項 4】 互いに隣接する発振回路の発振位相を逆相に初期設定可能な手段を有する請求項 2 記載の発振装置。

【請求項 5】 上記発振回路は、リングオシレータにより構成されている請求項 1 記載の発振装置。

【請求項 6】 上記発振回路は、リングオシレータにより構成されている請求項 3 記載の発振装置。

【請求項 7】 上記配線回路は、インバータにより構成されている請求項 1 記載の発振装置。

【請求項 8】 上記配線回路は、インバータにより構成されている請求項 3 記載の発振装置。

【請求項 9】 上記配線回路は、インバータにより構成されている請求項 5 記載の発振装置。

【請求項 10】 上記配線回路は、インバータにより構成されている請求項 6 記載の発振装置。

【請求項 11】 環状をなす第 1 リング配線と、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記第 1 リング配線に設けられた複数の配線回路とを有する複数の発振ステージと、

環状をなす第 2 リング配線と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが上記各発振ステージの第 1 リング配線間を特定の一方向により多く電流が流れるように相互結合する上記第 2 リング配線に設けられた複数の配線回路とを有する発振装置。

【請求項 12】 上記発振回路は、環状に対称な位置に配置されている請求項 11 記載の発振装置。

【請求項 13】 参照信号と発振信号との位相を比較する位相比較回路と、上記位相比較回路の比較結果に応じた電圧信号を発生する電圧発生回路と、環状をなすリング配線と、上記電圧発生回路による電圧

信号に応じて発振周波数が制御可能で、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記リング配線に設けられた複数の配線回路とを有し、上記複数の発振回路のうちの一つの発振回路の出力を上記発振信号として上記位相比較回路に出力する発振装置とを有する位相同期回路。

【請求項 14】 上記発振回路は、環状に対称な位置に配置されている請求項 13 記載の位相同期回路。

【請求項 15】 環状をなすリング配線と、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記リング配線に設けられた複数の配線回路とを有する発振装置と、それぞれが入力信号を上記各発振回路の出力信号をクロックとして入力し、出力する複数の同期回路とを有する時間量子化器。

【請求項 16】 上記発振回路は、環状に対称な位置に配置されている請求項 15 記載の時間量子化器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、互いに任意に微小な位相差を持つ複数の信号を生成可能な発振装置、それを用いた位相同期回路および時間量子化器に関するものである。

【0002】

【従来の技術】VLSIにおけるクロック信号の生成と制御は発振回路によって行われる。発振回路の発振周波数は、回路中の1つ1つのゲートの遅延によって決定される。たとえば、CMOS (Complementary Metal Oxide Semiconductor) リングオシレータの場合、その発振周期は1つのゲート遅延と回路の段数(ゲート数)の積に比例する。このような発振回路の場合、クロック信号の位相制御の最小単位は、従来ゲート遅延の大きさを下回することは困難であった。

【0003】ところが、応用上、ゲート遅延より細かい時間精度でクロック信号の位相を制御することが必要となることがある。そこで、ゲート遅延より細かい時間精度でクロック信号の位相を制御することが可能な発振装置が提案されている(US patent 5, 717, 362 Feb. 10, 1998 Array oscillator circuit参照)。

【0004】図11は、上記発振装置の具体的な構成例を示す回路図である。この発振装置1は、2入力(一般

には多入力)のバッファ回路BUF 11~BUF・NMをM×Nのマトリクス状に配列し、M個の2入力バッファ回路BUFを基本要素とするN個の発振回路OSC-1~OSC-Nを構成し、これらの発振回路OSC-1~OSC-Nをさらに多数の配線により結合することにより構成されている。発振装置1でみれば、Mは1つの発振回路の規模、すなわちバッファ回路BUFの段数、Nは相互結合される発振回路の数である。

【0005】具体的には、発振回路OSC-1は、2入力のバッファ回路BUF 11~BUF 1Mの各第1入力端子を所定の入力信号I 11~I 1Mの入力ラインに接続し、各バッファ回路BUF 11~BUF 1Mの出力端子と次段の第2入力端子とを環状に接続して構成されている。

【0006】発振回路OSC-2は、2入力のバッファ回路BUF 21~BUF 2Mの各第1入力端子を、M本の配線により発振回路OSC-1を構成するバッファ回路BUF 11~BUF 1Mの各第2入力端子に接続し、各バッファ回路BUF 21~BUF 2Mの出力端子と次段の第2入力端子とを環状に接続して構成されている。

【0007】同様に、発振回路OSC-Nは、2入力のバッファ回路BUF・N1~BUF・NMの各第1入力端子を、M本の配線により発振回路OSC-N-1を構成するバッファ回路BUF・N-1・1~BUF・N-1・Mの各第2入力端子に接続し、各バッファ回路BUF・N1~BUF・NMの出力端子と次段の第2入力端子とを環状に接続して構成されている。

【0008】このように、発振装置1は、多入力の発振回路OSC-1~OSC-Nをその数に対応する多数の(単純な)配線により結合する配線網を構成することにより、各々の発振回路OSC-1~OSC-N間において、互いに定常位相差 $2\pi/N$ (rad)を持つクロック信号を生成している。

【0009】

【発明が解決しようとする課題】ところが、上述した従来の回路では、以下に示すような不利益がある。

【0010】(1)1つの発振回路は隣接の(1行異なる)発振回路とM本の配線で結合される。したがって、総配線数はM×Nのオーダーの本数で必要になる。そして、時間精度は発振回路の数に比例するため、たとえばNを固定して2倍の精度を実現するためにはM×N本の発振回路間の配線がさらに必要となる。

【0011】(2)2入力のインバータである一つのバッファ回路BUFは、入力部と入力部のバイアス電圧を生成するバイアス回路からなり、それぞれ9個、13個の計22個のCMOSゲートからなる複雑さを持つことから、回路面積の増大と消費電力の増大を招く。

【0012】(3)複数の発振モードが共存するため、必要なモードを選択するための初期設定(リセット)が必要である。

【0013】本発明は、かかる事情に鑑みてなされたものであり、その目的は、ゲート遅延より高い精度で位相差を制御でき、互いに任意に微小な位相差を持つ複数の信号を生成することができる発振装置、それをを用いた位相同期回路および時間量子化器を提供することにある。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明の発振装置は、環状をなすリング配線と、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記リング配線に設けられた複数の配線回路とを有する。

【0015】また、本発明では、上記発振回路は、環状に対称な位置に配置されている。

【0016】また、本発明では、互いに隣接する発振回路の発振位相を逆相に初期設定可能な手段を有する。

【0017】また、本発明では、上記発振回路は、リングオシレータにより構成されている。また、上記発振回路は、リングオシレータにより構成されている。

【0018】また、本発明の発振装置は、環状をなす第1リング配線と、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記第1リング配線に設けられた複数の配線回路とを有する複数の発振ステージと、環状をなす第2リング配線と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが上記各発振ステージの第1リング配線間を特定の一方向により多く電流が流れるように相互結合する上記第2リング配線に設けられた複数の配線回路とを有する。

【0019】また、本発明の位相同期回路は、参照信号と発振信号との位相を比較する位相比較回路と、上記位相比較回路の比較結果に応じた電圧信号を発生する電圧発生回路と、環状をなすリング配線と、上記電圧発生回路による電圧信号に応じて発振周波数が制御可能で、上記リング配線に接続されたノードを有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方向により多く電流が流れるように相互結合する上記リング配線に設けられた複数の配線回路とを有し、上記複数の発振回路のうちの一つの発振回路の出力を上記発振信号として上記位相比較回路に出力する発振装置とを有する。

【0020】また、本発明の時間量子化器は、環状をなすリング配線と、上記リング配線に接続されたノードを

有し、発振位相が上記リング配線により伝播される電荷に依存する複数の発振回路と、特定の一方方向により大きい影響が伝わるような特性を有し、それぞれが各発振回路のノード間を特定の一方方向により多く電流が流れるように相互結合する上記リング配線に設けられた複数の配線回路とを有する発振装置と、それぞれが入力信号を上記各発振回路の出力信号をクロックとして入力し、出力する複数の同期回路とを有する。

【0021】本発明の発振装置によれば、各発振回路のノード間のそれぞれを、特定の一方方向により電流が流れやすい特性を持つ配線回路により接続していることから、環状の構成において、特定の一方方向に1つの発振回路の発振の影響がその次の発振回路の発振に伝播して行く性質が生じる。この影響の伝播は、たとえば環状の構成が対称になっているためにループを一巡するなかで平均化される。また、個々の発振回路は発振の振幅に関しては影響を受けにくい、発振位相に関しては徐々に影響が蓄積される。そのため、隣接する発振回路は、発振の一周期 T (sec) を N 等分した位相差 T/N (sec)、すなわち、 $2\pi/N$ (rad) の整数倍の定常位相差をもった状態に最終的におちつく傾向をもつようになる。これにより、希望する周波数で発振し、互いに任意に微小な位相差をもつ多数の信号（たとえばクロック信号）が生成される。

【0022】また、本発明の位相同期回路によれば、発振信号は、 $2\pi/N$ (rad) の任意の整数倍の位相差を保持して、高精度で参照信号に追従する。

【0023】また、本発明の時間量子化器によれば、任意の時間分解能 (T/N [sec] ; 但し T は単独の振動回路の発振周期、 N は結合される発振回路の個数) で、入力信号の全てのゼロ交差の位置等が検出される。

【0024】

【発明の実施の形態】第1実施形態

図1は、本発明に係る発振装置の第1の実施形態を示す図であって、発振装置の基本構成を示す図である。

【0025】本発振装置10は、環状に接続されたリング配線 RLN と、ノード $ND11 \sim ND1N$ を通してリング配線 RLN に接続された N 個の発振回路 $OSC-11 \sim OSC-1N$ 、および各発振回路間を接続するリング配線 RLN に設けられた配線回路 $LC11 \sim LC1N$ を基本構成要素として有している。そして、発振回路 $OSC-11 \sim OSC-1N$ は環状に対称な位置に配置されている。

【0026】各発振回路 $OSC-11 \sim OSC-1N$ は、発振位相がリング配線 RLN により伝播される電荷に依存し、たとえばいわゆるリングオシレータにより構成される。具体的には、各発振回路 $OSC-11 \sim OSC-1N$ は、たとえば図2(a)～(c)に示すようにリングオシレータにより構成される。

【0027】図2(a)に示すリングオシレータは、た

たとえば奇数個（3個以上）のCMOSインバータ INV を環状に接続して構成されている。図2(b)に示すリングオシレータは、たとえば電圧により電流量が調整される奇数個の電圧制御型CMOSインバータ $VINV$ を環状に接続して構成されている。図2(c)に示すリングオシレータは、たとえば複数の差動インバータ $DINV$ の正および負の入力端子と出力端子をそれぞれ環状に接続した差動リングオシレータにより構成されている。

【0028】また、各発振回路 $OSC-11 \sim OSC-1N$ は、複数の配線回路 $LC11 \sim LC1N$ からなるリング配線 RLN に接続されるノード $ND11 \sim ND1N$ を有している。

【0029】リング配線 RLN を構成する複数（本実施形態では N 個）の配線回路 $LC11 \sim LC1N$ のそれぞれは、特定の一方方向により大きい影響が伝わるような特性を有し、特定の一方方向により多く電流が流れるように、各発振回路間を相互結合している。

【0030】具体的には、配線回路 $LC11$ の入力側が発振回路 $OSC-11$ のノード $ND11$ および配線回路 $LC1N$ の出力側に接続され、出力側が発振回路 $OSC-12$ のノード $ND12$ に接続されている。配線回路 $LC12$ の入力側が発振回路 $OSC-12$ のノード $ND12$ および配線回路 $LC11$ の出力側に接続され、出力側が発振回路 $OSC-13$ のノード $ND13$ に接続されている。同様に、配線回路 $LC1N$ の入力側が発振回路 $OSC-1 \cdot N-1$ (図1には図示せず) のノード $ND1 \cdot N-1$ および配線回路 $LC1 \cdot N-1$ (図1には図示せず) の出力側に接続され、出力側が発振回路 $OSC-11$ のノード $ND11$ および配線回路 $LC11$ の入力側に接続されている。

【0031】各配線回路 $LC11 \sim LC1N$ は、たとえば図3(a)に示すようなCMOSインバータ、あるいは図3(b)に示すような差動インバータ $DINV$ により構成される。

【0032】次に、上記構成による動作を説明する。一般に、2つ（あるいはそれ以上）の発振回路を相互結合する配線が存在すると、隣接する発振回路間にその電位差に応じた電荷の移動が生じる。この電流がさほど大きくない場合、発振の振幅は相互結合の存在しない元の発振回路の発振波形と比べて殆ど差異は生じない。この性質は、発振回路の発振が外乱に対して強いという性質に起因するものである。その反面、振動波形の位相は電荷移動に比例して徐々にシフトされる。これは、発振回路間に生じる電流の一部が発振回路内部に流れ、その内部の信号のオンオフに僅かなずれを生じることによって起因する。

【0033】たとえば図1の発振回路間の配線を、配線回路 $LC11 \sim LC1N$ ではなく、通常の単純な配線としたとき、電流はいずれの方向にも同様に流れることができる。このため、発振回路自体の特性に依存するが、

初期の過渡状態を経て全ての発振回路の発振位相は完全に揃い、互いの位相差は0となる同期現象が生じる。

【0034】ところが、本実施形態では、各発振回路OSC-11～OSC-1NのノードND11～ND1N間のそれぞれを、特定の方向により電流が流れやすい特性を持つ配線回路LC11～LC1Nにより接続していることから、図1の環状の構成において、特定の方向に1つの発振回路の発振の影響がその次の発振回路の発振に伝播して行く性質が生じる。この影響の伝播は、環状の構成が対称になっているためにループを一巡するなかで平均化される。上述したよう、個々の発振回路は発振の振幅に関しては影響を受けにくい、発振位相に関しては徐々に影響が蓄積される。そのため、隣接する発振回路は、発振の一周期T(sec)をN等分した位相差 T/N (sec)、すなわち、 $2\pi/N$ (rad)の整数倍の定常位相差をもった状態に最終的におちつく傾向をもつ。

【0035】図4および図5は、具体的な回路のシミュレーション結果を説明するための図である。図4は、図1の回路において、発振回路OSC-11～OSC-1Nを図2(a)に示すリングオシレータで構成し、配線回路LC11～LC1Nを図3(a)に示すインバータにより構成し、かつ、発振回路の数Nを5として発振装置を構成した場合のシミュレーション結果(動作波形)を示している。図5は、図1の回路において、発振回路OSC-11～OSC-1Nを図2(c)に示す差動リングオシレータで構成し、配線回路LC11～LC1Nを図3(b)に示す差動インバータにより構成し、かつ、発振回路の数Nを11として発振装置を構成した場合のシミュレーション結果(動作波形)を示している。図4および図5において、横軸は時間を、縦軸は出力レベルをそれぞれ表している。

【0036】図4および図5に示すように、各発振回路間の位相差はそれぞれ $2\pi/5$ (rad)、 $2\pi/11$ (rad)の整数倍となり安定している。発振周波数は単独の発振回路のそれと比べあまり変わらない。また、発振回路数(N)を増加していき、その数が各発振回路の段数(たとえばリングオシレータの場合、ループ内のインバータの個数)を超えても上記の性質が成り立つことがシミュレーションおよび理論から実証されている。これは全体の回路の規模に比例して発振回路の個数も増えるため、一つの発振回路当たりの駆動する負荷の大きさは変わらないことから説明される。

【0037】以上説明したように、本第1の実施形態によれば、環状に接続されたリング配線RLNと、リング配線RLNに接続されるノードND11～ND1Nを有し、発振位相がリング配線RLNにより伝播される電荷に依存する複数の発振回路OSC-11～OSC-1Nと、それぞれが特定の方向により大きい影響が伝わるような特性を有し、特定の方向により多く電流が流れ

るように、各発振回路間を相互結合するリング配線RLNに設けられた複数の配線回路LC11～LC1Nとを設けたので、各発振回路間に必要な配線数は(基本的に)1本だけであり、隣接する発振回路の発振位相は互いにある位相差を保持する性質が生じる。これにより、複数個(ここではN個とする)の発振回路を環状に結合することにより $2\pi/N$ (rad)の位相差で相互に位相のラグをもつN個の発振波形を得ることができる。また、多入力の特徴的なバッファ回路は不要である。したがって、その要素として必要に応じた発振回路を用いることができる。さらに、発生する複数の振動モードが共存することはなく、従来回路で必要であった微妙なリセットは不要である。

【0038】また、各発振回路を円環状に配置した対称なレイアウトが可能であるために、また回路の構成の簡潔さのために、従来の回路より、はるかに大規模なシステムサイズ、すなわち、はるかに高い時間分解能が実現可能である。実際に、現在のCMOS技術で1GHz近い発振周波数のリングオシレータを用いて、図1の構成で1000個近いリングオシレータをインバータにより結合することが可能である。これは、1THzのクロックの時間分解能に相当する1psの時間精度でクロック信号の制御を行えることを意味する。

【0039】第2実施形態

図6は、本発明に係る発振装置の第2の実施形態を示す回路図である。

【0040】本第2の実施形態が上述した第1の実施形態と異なる点は、図1の基本構成では、一般に所望する定常位相差に到達するまでに過渡状態を経由するが、この時間を短縮するために、隣り合う発振回路の初期位相が時刻0で互いに π (rad)、すなわち逆相となるように設定可能に構成したことにある。

【0041】具体的には、本第2の実施形態に係る発振装置10Aは、図1の回路において、発振回路OSC-11～OSC-1Nを図2(a)に示すリングオシレータで構成し、配線回路LC11～LC1Nを図3(a)に示すインバータにより構成し、かつ、発振回路の数Nを7として発振装置を構成するとともに、奇数番目の発振回路OSC11, OSC13, OSC15, OSC17の第2のノードND11b, ND13b, ND15b, ND17bを接地ラインに作動的に接続するスイッチSW11に接続し、偶数番目の発振回路OSC12, OSC14, OSC16の第2のノードND12b, ND14b, ND16bを電源電圧 V_{DD} (たとえば5V)の供給ラインに作動的に接続するスイッチSW12に接続して構成されている。

【0042】この発振装置10Aにおいては、時刻 $t=0$ にスイッチSW11, SW12がオン・オフされる。そして、各発振回路間はCMOSインバータINVからなる配線回路LC11～LC17により接続されている

ことから、発振回路間の電荷移動は特定の方向により容易に生じ、また隣接する発振回路の発振位相は逆相（位相差が π （rad））に近づこうとする性質を持つ。この性質から、偶数個の発振回路を環状に接続したとき互いに隣り合う発振回路どうしは丁度逆相を保持し、全体としてこの状態が安定となる。

【0043】ところが、図6の例のように、奇数個の発振回路OSC-11～OSC17を配置すると、隣り合う発振回路は互いに逆相に近づこうとするが、一様な環状構造のために π （rad）の位相差からある位相シフトを生じて安定な定常状態となる。このシフトを ϕ （rad）とすると、 $\phi = 2\pi/N$ （rad）となり、隣り合う発振位相差は $\pi + \phi$ （rad）となる。この位相差は構成が環状で回転について対称であるため、環状中の場所によらず一様に生じる。したがって、あらかじめ決まっている適当な2つの発振回路を選択することにより、 $2\pi/N$ （rad）の任意の整数倍の位相差をもつクロック信号を得ることができる。

【0044】図7は、図6の発振装置10Aの時刻 $t = 0$ から安定状態に至るまでの過渡遷移を示す模式図である。

【0045】まず、スイッチSW11、SW12を開放直後は、図7（a）に示すように、ノードND12b、ND14b、ND16b、およびND13b、ND15b、ND17bの発振振幅、発振位相は揃っているが、ノードND11bのみ振幅は小さく、位相はノードND12b、ND14b、ND16b、およびND13b、ND15b、ND17bの中間に位置する。時間が経過した時刻 $t = 15$ では、図7（b）に示すように、ノードND12b、ND14b、ND16b、およびND13b、ND15b、ND17bの位相は、徐々に相互のずれを生じ、ノードND11bの振幅はほぼ他のノードの振幅と揃ってくる。そして、最終的には、図7（c）に示すように、全てのノードND11b～ND17bの電圧波形は等しくなり、位相は均一に分散して定常となる。

【0046】以上の性質はNによらず成立するため、Nを大きくする、すなわち結合する発振回路の個数を増やすことで、任意に精度を高めることが可能であり、ゲート遅延より任意に小さい位相制御の時間分解能を実現することが可能となる。

【0047】このように、発振装置の達成する位相制御の精度はシステムサイズ（N）に比例して任意に高めることが可能である。そのサイズ（即ち時間分解能）Nの上限は実際に回路が実現されるチップ上の利用可能な面積と回路のレイアウトにより決定される。

【0048】本第2の実施形態によれば、上述した第1の実施形態の効果に加えて、定常位相差に到達するまでの時間を短縮することができる利点がある。

【0049】第3実施形態

図8は、本発明に係る発振装置の第3の実施形態を示す回路図である。

【0050】本第3の実施形態が上述した第1および第2の実施形態と異なる点は、図1と同一構成の複数、たとえば3つの発振ステージ10a、10b、10cを第2リング配線RLNdを構成する配線回路LC11d、LC12d、LC13dで相互結合した点にある。

【0051】このように、本発明に係る発振装置は、いわゆる網構造が、かならずしも環状である必要はなく、図8に示すように、網の中に環状の部分が含まれているものでも良い。また、環状でなく、鎖状の構成も可能である。

【0052】本第3の実施形態によれば、上述した第1の実施形態の効果と同様の効果を得ることができる。

【0053】第4実施形態

図9は、本発明の第4の実施形態を示す図であって、本発明に係る発振装置を位相同期回路（PLL回路）に適用した実施形態を示す図である。

【0054】この位相同期回路20は、図9に示すように、位相周波数比較回路（PFC）21、チャージポンプ（CP）22、ループフィルタ（LP）23、および図1と等価な発振装置10Cにより構成されている。なお、チャージポンプ22、およびループフィルタ23により電圧信号発生回路が構成される。

【0055】この位相同期回路20に適用される発振装置10Cの各発振回路OSC-11～OSC-1Nは、たとえば図2（b）に示す、電圧制御型リングオシレータ（current-starved ring oscillator）により構成される。そして、ループフィルタ23の出力電圧が各発振回路OSC-11～OSC-1Nに供給され、発振周波数が制御される。これにより、広い範囲で発振周波数を制御し、外部信号の周波数に追従することが可能となる。

【0056】この位相同期回路20は、一般の位相同期回路の電圧制御発振器（VCO）を、本発明に係る発振装置で置き換えた構成を有している。位相同期回路20において、希望する位相差は、ひとつの発振回路、たとえばOSC-11から信号を位相周波数比較回路21に帰還させ、他の一つの発振回路の信号を出力として選択することで設定が可能である。

【0057】本第4の実施形態によれば、たとえば外部からの周期信号（特にクロック信号等の矩形波）に対して周波数を追従し、希望する任意の定常位相差（ $2\pi/N$ （rad）の分解能）で同期する微細位相遅延同期回路を実現できる利点がある。すなわち、通常の位相同期回路の電圧制御発振器（VCO）の代わりに本発明に係る発振装置を適用することにより、 $2\pi/N$ （rad）の任意の整数倍の位相差を保持して、高精度で参照クロック信号に追従する回路を実現できる。

【0058】第5実施形態

図10は、本発明の第5の実施形態を示す図であって、本発明に係る発振装置を時間量子化器に適用した実施形態を示す図である。

【0059】この時間量子化器30は、図10に示すように、N（本実施形態では5）個の同期回路としてのD型フリップフロップFF11～FF15、および図1と等価な発振装置10Dにより構成されている。

【0060】本第5の実施形態の場合、発振装置10Dの各発振回路OSC-11～OSC15は、電圧制御型リングオシレータである必要はなく、図2（a）～

（c）のリングオシレータにより構成可能である。そして、各発振回路OSC-11～OSC15の出力信号S11～S15が、フリップフロップFF11～FF15のクロック信号として用いられる。具体的には、発振回路OSC-11の出力信号S11がフリップフロップFF11にクロック信号として、発振回路OSC-12の出力信号S12がフリップフロップFF13にクロック信号として、発振回路OSC-13の出力信号S13がフリップフロップFF15にクロック信号として、発振回路OSC-14の出力信号S14がフリップフロップFF12にクロック信号として、発振回路OSC-15の出力信号S15がフリップフロップFF14にクロック信号として用いられる。

【0061】本時間量子化器30においては、入力信号SINをN個（本実施形態では5個）のD型フリップフロップFF11～FF15の列に相互の遅延無く入力する。これらのD型フリップフロップFF11～FF15のクロック信号は、発振装置10Dから与えられ、互いに $2\pi/N$ （rad）の位相差が存在する。したがって、T[sec]毎に外部信号を1、0の2値化データに変換し、全てのゼロ交差時刻を T/N [sec]の時間分解能で検出可能となる。

【0062】本第5の実施形態によれば、図1の基本回路を基に任意の時間分解能（ T/N [sec]）；但しTは単独の振動回路の発振周期、Nは結合される発振回路の個数）で、入力信号SINの全てのゼロ交差の位置等を検出することが可能である。また、結合する発振回路の数を大きくすることにより、非常に高い時間解像度で信号を処理するデジタイザも実現することができる。

【0063】

【発明の効果】以上説明したように、本発明の発振装置によれば、ゲート遅延より高い精度で位相差を制御でき、互いに任意に微小な位相差を持つ複数の信号を生成することができる利点がある。

【0064】また、本発明の位相同期回路によれば、外部からの周期信号（特にクロック信号等の矩形波）に対して周波数を追従し、希望する任意の定常位相差（ 2π

$/N$ （rad）の分解能）で同期する微細位相遅延同期回路を実現できる。

【0065】本発明の時間量子化器によれば、任意の時間分解能（ T/N [sec]）；但しTは単独の振動回路の発振周期、Nは結合される発振回路の個数）で、入力信号の全てのゼロ交差の位置等を検出することが可能である。

【図面の簡単な説明】

【図1】本発明に係る発振装置の第1の実施形態を示す回路図である。

【図2】図1の発振回路の具体的な構成例を示す図である。

【図3】図1の配線回路の具体的な構成例を示す図である。

【図4】図1の回路において、発振回路を図2（a）に示すリングオシレータで構成し、配線回路を図3（a）に示すインバータにより構成し、かつ、発振回路の数Nを5として発振装置を構成した場合のシミュレーション結果（動作波形）を示す図である。

【図5】図1の回路において、発振回路を図2（c）に示す差動リングオシレータで構成し、配線回路を図3

（b）に示す差動インバータにより構成し、かつ、発振回路の数Nを11として発振装置を構成した場合のシミュレーション結果（動作波形）を示す図である。

【図6】図6は、本発明に係る発振装置の第2の実施形態を示す回路図である。

【図7】図6の発振装置の時刻0から安定状態に至るまでの過渡遷移を示す模式図である。

【図8】本発明に係る発振装置の第3の実施形態を示す回路図である。

【図9】本発明の第4の実施形態を示す図であって、本発明に係る発振装置を位相同期回路に適用した実施形態を示す図である。

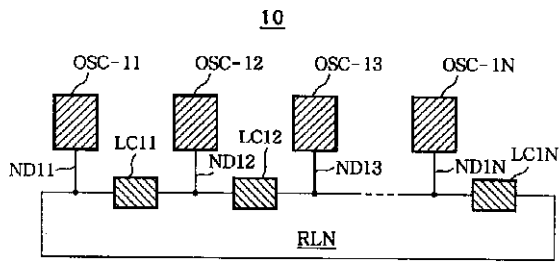
【図10】本発明の第5の実施形態を示す図であって、本発明に係る発振装置を時間量子化器に適用した実施形態を示す図である。

【図11】従来の発振装置の構成例を示す回路図である。

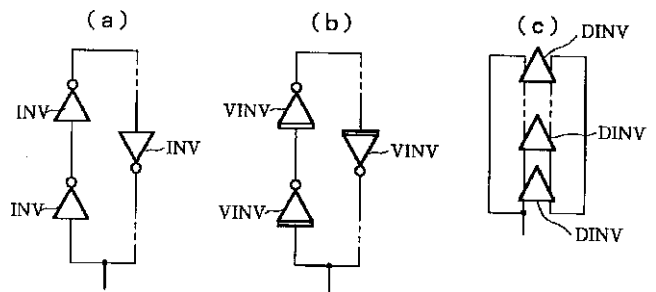
【符号の説明】

10、10A、10B、10C、10D…発振装置、10a、10b、10c…発振ステージ、OSC-11～OSC-1N…発振回路、LC11～LC1N…配線回路、RLN…リング配線、ND11～ND1N、ND11a～ND17a、ND11b～ND17b…ノード、SW11、SW12…スイッチ、21…位相比較回路、22…チャージポンプ、23…ループフィルタ、FF11～FF15…D型フリップフロップ。

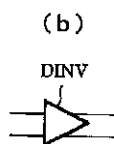
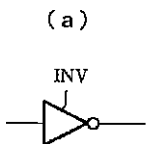
【図 1】



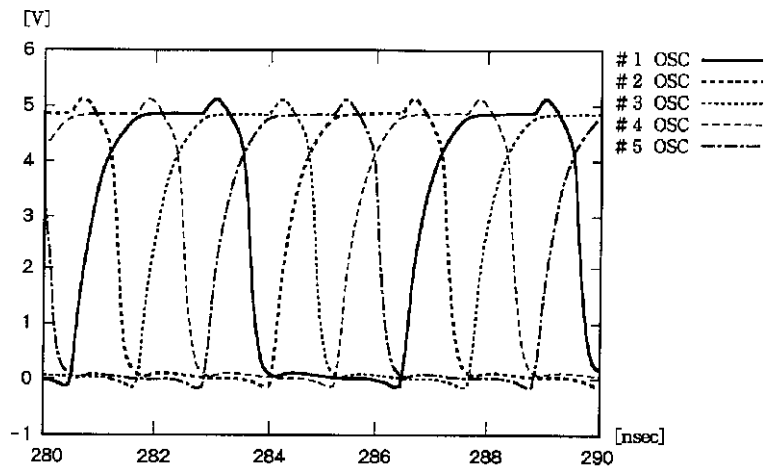
【図 2】



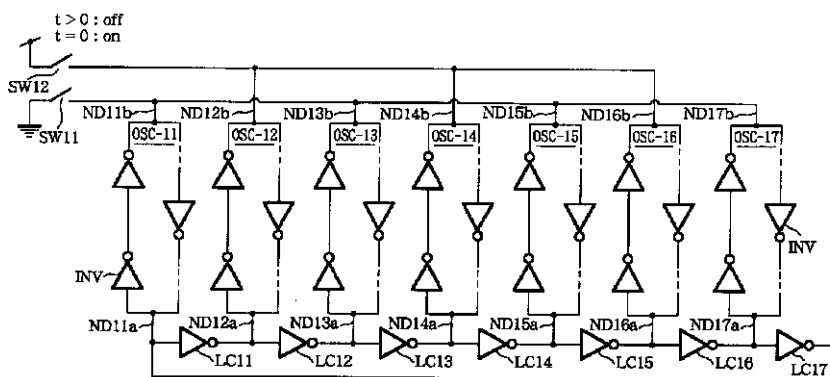
【図 3】



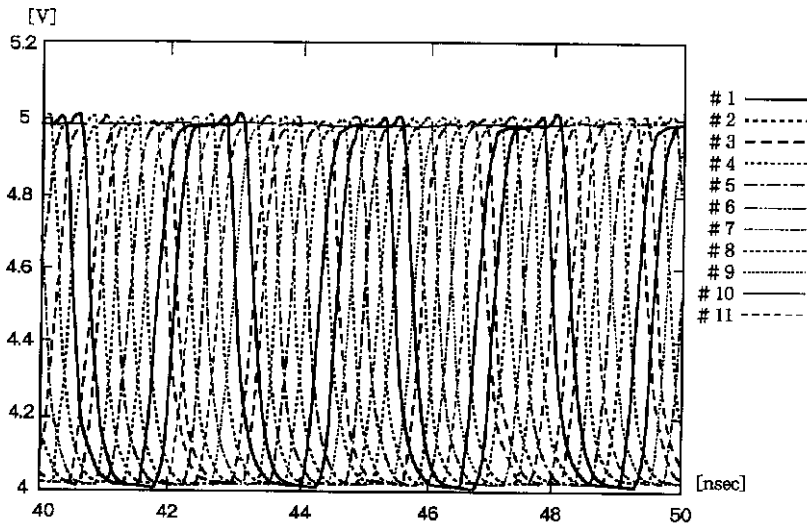
【図 4】



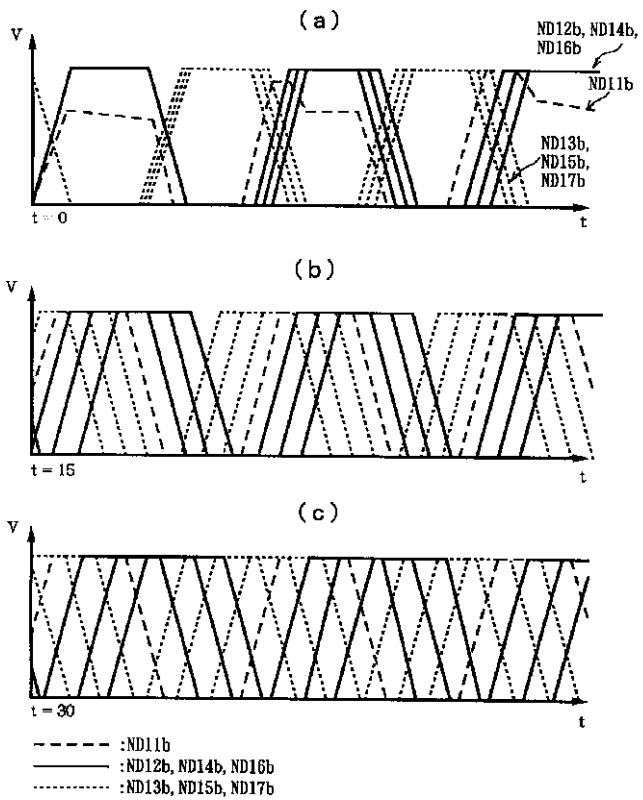
【図 6】



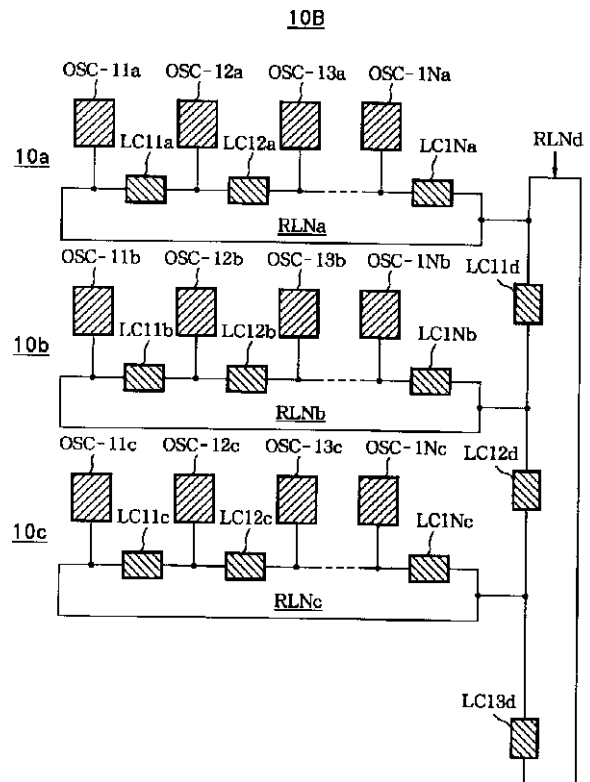
【図 5】



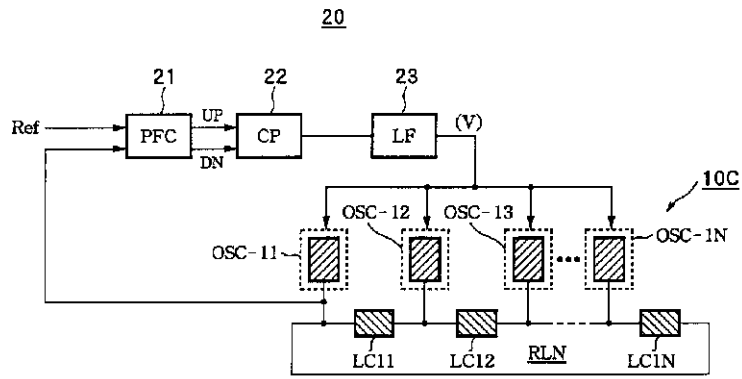
【図 7】



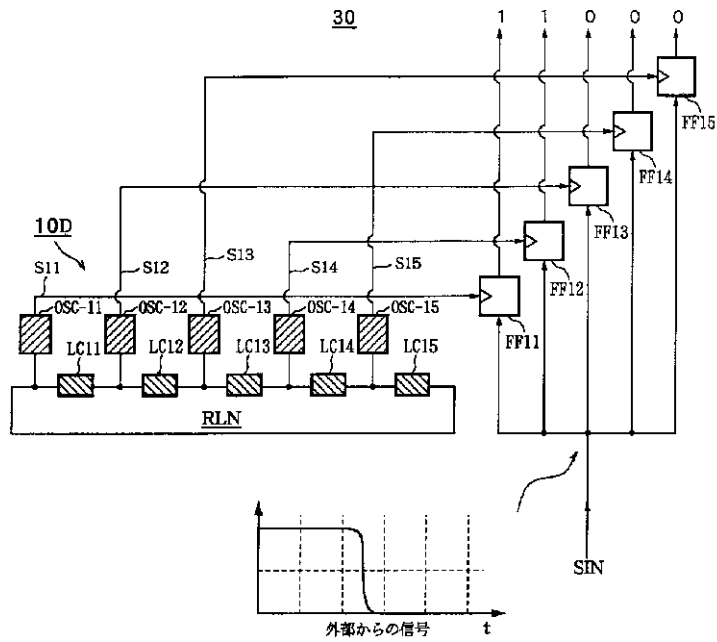
【図 8】



【図 9】



【図 10】



【図 11】

